

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 9 月 29 日 (29.09.2005)

PCT

(10) 国際公開番号
WO 2005/091358 A1

(51) 国際特許分類: H01L 21/822, G05F 1/10, H01L 27/04

(21) 国際出願番号: PCT/JP2005/004446

(22) 国際出願日: 2005 年 3 月 14 日 (14.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-084149 2004 年 3 月 23 日 (23.03.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 沖 宏一 (OKI,

Hirokazu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 井手 雄三 (IDE, Yuzo) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).

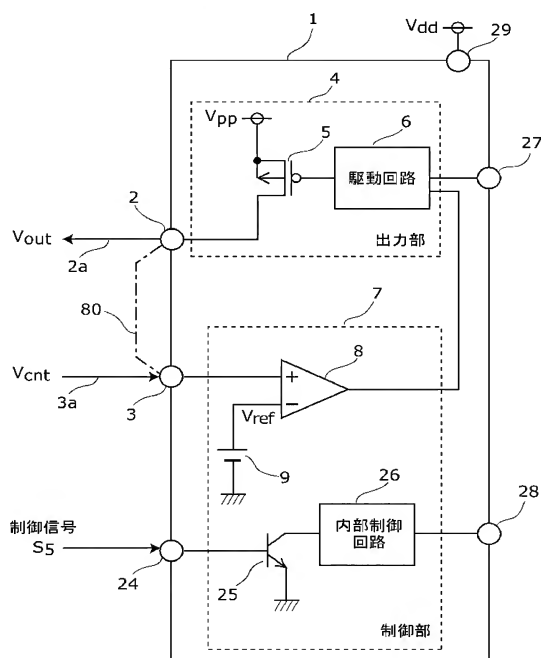
(74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒5400032 大阪府大阪府中央区天満橋京町 2-6 天満橋八千代ビル別館 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SWITCHING POWER SOURCE DEVICE USING THE SAME

(54) 発明の名称: 半導体集積回路装置及びそれを用いたスイッチング電源装置



4... OUTPUT UNIT
6... DRIVE CIRCUIT
26... INTERNAL CONTROL CIRCUIT
7... CONTROL UNIT
S5... CONTROL SIGNAL

(57) Abstract: A semiconductor integrated circuit device includes: an output unit for outputting, via a switching element, a predetermined voltage from a voltage output terminal to outside through a voltage output line; and a control unit for performing a predetermined control according to a control signal inputted from outside to a signal input line or a signal input terminal arranged at a position adjacent to a voltage output line or a voltage output terminal. The semiconductor integrated circuit device has a high reliability, i.e., it is not damaged even when the voltage output terminal is shortcircuited with an adjacent terminal. For this, a voltage detection unit is provided for detecting that a voltage higher than a reference voltage is inputted to the signal input line or the signal input terminal and giving a voltage detection signal to the output unit. The output unit opens the switch element when it has received the voltage detection signal.

(57) 要約: スイッチ素子を介して所定の電圧を電圧出力端子から電圧出力線を通じて外部へ出力する出力部と、電圧出力線または電圧出力端子に隣接した位置に配置された信号入力線または信号入力端子に外部から入力される制御信号に基づいて所定の制御を行う制御部とを備える半導体集積回路装置において、電圧出力端子が隣接する端子と短絡した場合であっても破壊されることのない信頼性の高い半導体集積回路装置にするため、信号入力線または信号入力端子に基準電圧よりも高い電圧が入力されたことを検出し電圧検出信号として出力部に与える電圧検出部を設け、出力部は電圧検出信号が与えられたときにはスイッチ素子を開放するようにする。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体集積回路装置及びそれを用いたスイッチング電源装置
技術分野

- [0001] 図6は従来の半導体集積回路装置の構成を概略的に示す回路ブロック図である。図6において、90は半導体集積回路装置(以後、IC(Integrated Circuit)という)であり、IC90は電圧 V_{out} が出力される電圧出力端子91と、制御信号 S_0 が入力される信号入力端子92と、直流電源 V_{pp} (電圧は、例えば、50V)と電圧出力端子91との間に接続されているPチャンネル型のMOS(Metal Oxide Semiconductor)トランジスタ93と、接続端子98を介して外部から与えられる信号に基づいてMOSTランジスタ93を駆動する駆動回路97と、制御信号 S_0 に基づいて所定の制御を行う制御部94とから構成されている。MOSTランジスタ93のドレインは直流電源 V_{pp} に接続され、ソースは電圧出力端子91に接続され、ゲートは駆動回路97に接続されている。
- [0002] また、制御部94は、制御信号 S_0 を増幅して内部制御回路96に与えるNPNTランジスタ95を有しており、NPNTランジスタ95のベースは信号入力端子92に接続され、コレクタは内部制御回路96に接続され、エミッタはグランドに接続されている。そして、制御信号 S_0 のH(High)レベル/L(Low)レベルに応じてNPNTランジスタ95がオン/オフすることにより、制御信号 S_0 が内部制御回路96に伝えられ、それに応じて内部制御回路96は所定の制御を行い、その制御出力は接続端子99を介して外部へ出力される。尚、制御部94の耐圧は、例えば、7Vに設定されている。
- [0003] このような構成のIC90を基板にハンダ付けして実装する時、電圧出力端子91と信号入力端子92とがIC90のパッケージの外周部において互いに隣接するように配置されている場合には、電圧出力端子91と信号入力端子92との間にハンダブリッジが発生することがある。或いは、長期間使用している間にゴミ等の異物が電圧出力端子91と信号入力端子92との間に挟まる場合もある。そして、その異物が導電性を有している場合や、ハンダブリッジが発生した場合等、即ち、電圧出力端子91と信号入力端子92との間が異物やハンダブリッジ等の導電体80により略短絡状態になった場合、MOSTランジスタ93がオンすると、高電圧(例えば、50V)が信号入力端子92を介してNPNTランジスタ95を含む制御部94に印加されることになり、低耐圧(例えば

、7V)素子で構成されている制御部94は電圧破壊されてしまう可能性がある。

[0004] このような短絡事故が発生しても、制御部94が破壊されることを防止するためには、制御部94の耐圧を直流電源V_{pp}の電圧以上に上げるか、信号入力端子92にツェナーダイオード等の電圧クランプ素子100を取り付けて、制御部94に印加される電圧が所定の電圧以上にならないようにクランプして過電圧保護をすれば良い。

[0005] また、昇圧回路で高電圧を検出したときに、出力用トランジスタのゲートに供給される信号電圧の昇圧を停止して出力用トランジスタの破壊防止を図ったものもある(例えば、特許文献1参照)。

特許文献1:特開2000-3591号公報

発明の開示

発明が解決しようとする課題

[0006] しかしながら、制御部94の耐圧を直流電源V_{pp}の電圧以上に上げるためには、制御部94を構成する素子を全て耐圧の高い素子にする必要があり、コストの上昇を招くという問題があった。また、信号入力端子92にツェナーダイオード等の電圧クランプ素子100を取り付けると、制御部94が破壊されることは防止できるが、MOSTランジスタ93から導電体80を介して電圧クランプ素子100に流れる電流を制限するで電流制限機能を設けなければ、その電流によりMOSTランジスタ93や導電体80を含む短絡経路の配線等が発熱してIC90そのものが破壊されたり、IC90を実装する基板等が発煙、発火したりするという問題があった。更に、電流制限機能を設けた場合、IC90は発煙、発火には至らないまでも発熱するし、無駄な消費電力が発生する。

[0007] また、特許文献1に記載の従来技術では、電源電圧が所定の電圧よりも高くなった場合における出力用トランジスタの破壊を防止することはできるが、出力端子が隣接する端子と略短絡状態になって出力用トランジスタから出力される高電圧が、隣接する端子に接続された制御回路等に印加されることにより、その制御回路等が破壊されることを防止することはできないという問題があった。

[0008] 本発明は、上記の問題点に鑑み、スイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する半導体集積回路装置及びそれを用いたスイッチング電源装置であって、前記電圧出力端子が隣接する端子と短絡した場合であっても破壊

されることのない信頼性の高い半導体集積回路装置及びそれを用いたスイッチング電源装置を提供することを目的とする。

課題を解決するための手段

- [0009] 上記目的を達成するために本発明は、第1の電源電圧で動作する入力回路に外部よりつながる入力配線と、該入力配線に隣接するとともに前記第1の電源電圧よりも高い第2の電源電圧で動作するスイッチ素子の出力につながって外部に導出される出力配線とを有する半導体集積回路装置において、前記入力配線に基準電圧よりも高い電圧が入力されたことを検出して、前記入力配線に隣接する前記出力配線につながる前記スイッチ素子の出力を禁止するようにしたことを特徴とするものである。この構成によると、前記入力配線と出力配線とが略短絡状態になった場合に、前記入力回路に第2の電源電圧が印加されないようにすることができる。
- [0010] また、本発明は、スイッチ素子を介して所定の電圧を電圧出力端子から外部へ出力する出力部と、電圧入力端子に外部から入力される電圧が基準電圧よりも高いときには前記スイッチ素子を開放するように制御可能な制御部とを備える半導体集積回路装置において、前記電圧入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とするものである。この構成によると、前記電圧出力端子が隣接する前記電圧入力端子と略短絡状態になった場合に、前記電圧出力端子から前記電圧入力端子に印加される電圧が前記基準電圧よりも高くなることを防止することができる。
- [0011] また、本発明は、直流電圧をスイッチ素子でスイッチングしたパルス電圧を電圧出力端子から外部の平滑回路へ出力する出力部と、電圧入力端子に外部から入力される前記平滑回路の出力電圧に基づく帰還電圧と基準電圧とが一致するように前記スイッチ素子を制御する制御部とを備える半導体集積回路装置において、前記電圧入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とするものである。この構成によると、前記電圧出力端子が隣接する前記電圧入力端子と略短絡状態になった場合に、前記電圧出力端子から前記電圧入力端子に印加されるパルス電圧が前記基準電圧よりも高くなることを防止することができる。
- [0012] また、本発明は、スイッチ素子を介して所定の電圧を電圧出力端子から電圧出力線を通じて外部へ出力する出力部と、前記電圧出力線または前記電圧出力端子に

隣接した位置に配置された信号入力線または信号入力端子に外部から入力される制御信号に基づいて所定の制御を行う制御部とを備える半導体集積回路装置において、前記信号入力線または前記信号入力端子に基準電圧よりも高い電圧が入力されたことを検出し電圧検出信号として前記出力部に与える電圧検出部を設け、前記出力部は前記電圧検出信号が与えられたときには前記スイッチ素子を開放することを特徴とするものである。この構成によると、前記電圧出力線または電圧出力端子が、隣接する前記信号入力線または信号入力端子と略短絡状態になった場合に、前記電圧出力線または電圧出力端子から前記電圧入力線または電圧入力端子に印加される電圧が前記基準電圧よりも高くなることを防止することができる。

[0013] また、例えば、前記出力部は、前記スイッチ素子を駆動するための駆動信号を生成する駆動回路と、前記駆動信号と前記電圧検出信号との論理積をとってその出力を前記スイッチ素子の制御端子に与える論理ゲートとを備えると良い。この構成によると、前記電圧検出信号が与えられていないときには前記スイッチ素子を前記駆動回路からの駆動信号に応じて閉成／開放することができ、前記電圧検出信号が与えられたときには前記駆動回路からの駆動信号に拘わらず前記スイッチ素子を開放することができる。

[0014] また、例えば、前記電圧検出部は、前記信号入力端子の電圧が前記基準電圧よりも高いときに通電する第1のトランジスタと、第1のトランジスタとともにカレントミラー回路を構成する第2のトランジスタとを備え、第2のトランジスタをプルアップしている抵抗と第2のトランジスタとの接続ノードから前記電圧検出信号を出力すると良い。この構成によると、前記信号入力端子の電圧に応じて前記抵抗と第2のトランジスタとの接続ノードの電圧を変化させ、この変化した電圧を前記電圧検出信号とすることにより、簡単な構成で前記信号入力端子の電圧が基準電圧より高くなったことを検出することができる。

[0015] また、例えば、前記電圧検出部は、更に前記信号入力端子と前記第1のトランジスタとの間の電流経路にダイオードを備え、該ダイオードの順方向電圧と前記第1のトランジスタのベース-エミッタ間電圧との加算値が前記基準電圧に相当するようにすると良い。この構成によると、所望の基準電圧を得る回路を簡単に構成できる。

[0016] また、本発明は、外部制御装置から与えられる出力制御信号に基づいて閉成／開放されるスイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する出力部と、外部からリセット入力信号が入力されるリセット入力端子と、前記リセット入力信号の電圧が基準電圧よりも高いときに前記外部制御装置の前記出力制御信号の出力動作を停止させるリセット出力信号を前記外部制御装置に与える制御部とを備える半導体集積回路装置において、前記リセット入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とするものである。この構成によると、前記電圧出力端子が隣接する前記リセット入力端子と略短絡状態になった場合であっても、前記外部制御装置をリセットして前記外部制御信号の出力動作を停止させることにより、前記電圧出力端子から前記リセット入力端子に印加される電圧が前記基準電圧よりも高くなることを防止することができる。

[0017] また、例えば、前記スイッチ素子の素子耐圧は、前記制御部の素子耐圧よりも高いと、前記スイッチ素子を介して前記制御部の素子耐圧を超える電圧を出力することができる。

[0018] また、例えば、前記半導体集積回路装置を用いたスイッチング電源装置にすると、スイッチングされたパルス電圧が出力される電圧出力端子が半導体集積回路装置の制御部に接続された隣接する端子と略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されることが防止できる。

発明の効果

[0019] 本発明によると、互いに隣接する前記入力配線と出力配線とが略短絡状態になった場合であっても、前記入力回路に第2の電源電圧が印加されないため、第2の電源電圧が前記入力回路の耐圧を超える場合であっても、前記入力回路の耐圧を上げたり、過電圧保護を図ったりすることなく、前記入力回路が電圧破壊されることを防止することができ、コストを増大させることなく信頼性の高い半導体集積回路装置を実現することができる。

[0020] また、本発明によると、前記電圧出力端子が、隣接する前記電圧入力端子と略短絡状態になった場合であっても、制御部に基準電圧よりも高い電圧が印加されることを防止できるので、前記所定の電圧が前記制御部の耐圧を超える場合であっても、

前記制御部の耐圧を上げることなく、また、前記電圧入力端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、前記制御部が電圧破壊されることを防止でき、コストを増大させることなく信頼性の高い半導体集積回路装置を実現することができる。

[0021] また、本発明によると、前記電圧出力端子が、隣接する前記電圧入力端子と略短絡状態になった場合であっても、制御部に基準電圧よりも高い電圧が印加されることを防止できるので、前記電圧出力端子から出力されるパルス電圧が前記制御部の耐圧を超える場合であっても、前記制御部の耐圧を上げることなく、また、前記電圧入力端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、前記制御部が電圧破壊されることを防止でき、コストを増大させることなく信頼性の高い半導体集積回路装置を実現することができる。

[0022] また、本発明によると、前記電圧出力線または電圧出力端子が、隣接する前記電圧入力線または電圧入力端子と略短絡状態になった場合であっても、制御部に基準電圧よりも高い電圧が印加されることを防止できるので、前記所定の電圧が前記制御部の耐圧を超える場合であっても、前記制御部の耐圧を上げることなく、また、前記電圧入力端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、前記制御部が電圧破壊されることを防止でき、コストを増大させることなく信頼性の高い半導体集積回路装置を実現することができる。

[0023] また、本発明によると、前記電圧出力端子が、隣接する前記リセット入力端子と外部で略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されることを防止できるので、前記所定の電圧が前記制御部の耐圧を超える場合であっても、前記制御部の耐圧を上げることなく、また、前記リセット入力端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、前記制御部が電圧破壊されることを防止でき、コストを増大させることなく信頼性の高い半導体集積回路装置を実現することができる。

[0024] また、本発明によると、前記半導体集積回路装置を用いたスイッチング電源装置にしたので、スイッチングされたパルス電圧が出力される電圧出力端子が半導体集積回路装置の制御部に接続された端子と略短絡状態になった場合であっても、前記制

御部に基準電圧よりも高い電圧が印加されることが防止でき、前記制御部が電圧破壊されることを防止した信頼性の高いスイッチング電源装置を実現することができる。

図面の簡単な説明

[0025] [図1]本発明の第1実施形態の半導体集積回路装置の構成を示す回路ブロック図である。

[図2]本発明の第2実施形態のレギュレータICの構成を示す回路ブロック図である。

[図3]本発明の第3実施形態の半導体集積回路装置の構成を示す回路ブロック図である。

[図4]図3に示す電圧検出部の具体的回路の一例を示す回路図である。

[図5]本発明の第4実施形態の半導体集積回路装置の構成を示す回路ブロック図である。

[図6]従来の半導体集積回路装置の構成を示す回路ブロック図である。

符号の説明

- [0026]
- 1、10、60 IC(半導体集積回路装置)
 - 2、12、62 電圧出力端子
 - 2a、12a、62a 出力配線
 - 3 電圧入力端子
 - 3a、13a、63a 入力配線
 - 4、14、40、64 出力部
 - 5、15、41、65 MOSトランジスタ(スイッチ素子)
 - 6、16、42、66 駆動回路
 - 7、17、50、67 制御部(入力回路)
 - 8、18、68 コンパレータ
 - 9、19、51、69 基準電圧源
 - 11、29、39、59、61 電源端子
 - 13、24、73 信号入力端子
 - 21 NANDゲート(論理ゲート)
 - 22 電圧検出部

- 23 カレントミラー回路
- 25 NPNトランジスタ
- 26、74 内部制御回路
- 27、28 接続端子
- 30 スイッチング電源装置
- 31 レギュレータIC(半導体集積回路装置)
- 32 IN端子
- 33 SW端子(電圧出力端子)
- 34 INV端子(電圧入力端子)
- 35 FB端子
- 36 GND端子
- 37 平滑回路
- 38 遅れ位相補償回路
- 52 誤差増幅器
- 53 PWMコンパレータ
- 54 発振回路
- 63 リセット入力端子
- 70 出力制御端子
- 71 リセット出力端子
- 72 マイコン(外部制御装置)
- C1 平滑用コンデンサ
- C2、C3、C4 コンデンサ
- D1、D11、D12 ダイオード
- L1 コイル
- R1、R2、R3、R11 分圧抵抗
- Q1、Q2 NPNトランジスタ
- Vcc 内部制御電源
- Vdd 直流電源(第1の電源電圧)

Vpp 直流電源(第2の電源電圧)

Vref 基準電圧

発明を実施するための最良の形態

- [0027] 以下に、本発明の実施形態を図面を参照して説明する。図1は、本発明の第1実施形態のICの構成を概略的に示す回路ブロック図である。図1において、1はICであり、IC1は、電圧出力端子2から外部出力配線2aを介して電圧Voutを外部へ出力する出力部4と、外部入力配線3aから電圧入力端子3を介して外部から与えられる外部入力または出力制御電圧Vcntに基づいて出力部4を制御するとともに、信号入力端子24を介して与えられる制御信号S5に基づいて所定の制御を行う制御部7とから構成されている。
- [0028] また、IC1の各部の動作電源としての直流電源Vdd(電圧は、例えば、5V)が電源端子29を介して与えられている。尚、電圧出力端子2と電圧入力端子3とがIC1のパッケージの外周部に互いに隣接するように配置されているか、或いは出力配線2aと入力配線3aとが途中で隣接するように配置されている。
- [0029] 出力部4は、直流電源Vddの電圧よりも高い電圧の直流電源Vpp(電圧は、例えば、50V)と電圧出力端子2との間に接続されたPチャンネル型のMOSTランジスタ5と、接続端子27を介して外部から与えられる信号に基づいてMOSTランジスタ5を駆動する駆動回路6とを備えている。MOSTランジスタ5のドレインは直流電源Vppに接続され、ソースは電圧出力端子2に接続され、ゲートは駆動回路6に接続されている。
- [0030] また、制御部7は、制御信号S5を増幅して内部制御回路26に与えるNPNTランジスタ25を備え、NPNTランジスタ25のベースは信号入力端子24に接続され、コレクタは内部制御回路26に接続され、エミッタはグランドに接続されている。そして、制御信号S5のHレベル/Lレベルに応じてNPNTランジスタ25がオン/オフすることにより、制御信号S5が内部制御回路26に伝えられ、それに応じて内部制御回路26は所定の制御を行い、その制御出力は接続端子28を介して外部へ出力される。
- [0031] 更に、制御部7は、コンパレータ8と基準電圧源9とを備え、コンパレータ8の非反転入力端子(+)は電圧入力端子3に接続され、反転入力端子(-)は基準電圧源9に

接続されている。そして、コンパレータ8の出力端子は駆動回路6の入力端子に接続されている。このコンパレータ8は、非反転入力端子(+)に与えられる出力制御電圧 V_{cnt} と反転入力端子(-)に与えられている基準電圧 V_{ref} (例えば、2V)とを比較し、出力制御電圧 V_{cnt} が基準電圧 V_{ref} より高い場合は出力をHレベルにし、出力制御電圧 V_{cnt} が基準電圧 V_{ref} より低い場合は出力をLレベルにする。また、制御部7の耐圧は、例えば、7Vに設定されている。尚、図1では電圧入力端子3に入力配線3aが接続されているが、この入力配線3aは必ずしも必要ではなく、通常使用時には、電圧入力端子3にコンパレータ8の出力がLレベルとなるような入力電圧が設定されていれば良い。

[0032] そして、駆動回路6はコンパレータ8の出力をバッファリングしてMOSTランジスタ5のゲートに出力し、MOSTランジスタ5を駆動する。即ち、コンパレータ8の出力がHレベルの場合はMOSTランジスタ5をオフさせ、Lレベルの場合はオンさせる。このとき、電圧出力端子2から出力される電圧 V_{out} は、MOSTランジスタ5がオンしているときは直流電源 V_{pp} の電圧と略同等の電圧(約50V)となり、MOSTランジスタ5がオフしているときは0Vとなる。

[0033] このような構成のIC1において、上述した従来例と同様に、電圧出力端子2と信号入力端子24との間には、電圧入力端子3または入力配線3aが有るので、電圧出力端子2と信号入力端子24との間、または出力配線2aと制御信号S5の入力配線との間は、異物やハンダブリッジ等の導電体80によって短絡しにくくなる。また、電圧出力端子2と電圧入力端子3との間が短絡状態になった場合、或いは、出力配線2aと入力配線3aとが途中で略短絡状態になった場合は、電圧入力端子3を介して制御部7に電圧 V_{out} が印加されることになる。しかし、その場合、電圧入力端子3の電圧、即ち、コンパレータ8の非反転入力端子(+)電圧が基準電圧 V_{ref} より高くなると同時に、コンパレータ8の出力はHレベルとなりMOSTランジスタ5をオフさせる。そのため、電圧入力端子3に印加される電圧 V_{out} が基準電圧 V_{ref} を超える電圧になることはない。

[0034] 従って、このような短絡事故が発生した場合であっても制御部7が電圧破壊されることはない。また、このような場合でも、MOSTランジスタ5がオフすることにより導電体8

0や短絡経路の素子や配線等に大きな電流が流れることはないので、それらの発熱によりIC1を実装する基板等が発煙、発火したり、無駄な消費電力が発生したりすることもない。

[0035] このように、電圧出力端子2に隣接する位置に電圧入力端子3を配置することにより、端子数は増加するものの、電圧出力端子2と信号入力端子24との距離が大きくなって短絡しにくくなるとともに、例え、電圧出力端子2が隣接する端子と略短絡状態になった場合であっても、その隣接する端子に接続されている制御部7の耐圧を上げることなく、また、その隣接する端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、制御部7を含むIC1が電圧破壊されることを防止でき、IC1の信頼性を向上させることができる。

[0036] 図2は、本発明の第2実施形態のICを用いたスイッチング電源装置の構成を示す回路ブロック図である。図2において、30はスイッチング電源装置であり、スイッチング電源装置30は、1チップに集積化されたレギュレータIC31と、レギュレータIC31に外付けされる多数の外付け素子とから構成されている。

[0037] レギュレータIC31は、外付け素子を接続するための5個の端子と、出力部40と、制御部50とから構成されている。出力部40は、Pチャンネル型のMOSTランジスタ41と、MOSTランジスタ41を駆動する駆動回路42とから構成され、制御部50は、基準電圧源51、誤差増幅器52、PWMコンパレータ53、発振回路54から構成されている。

[0038] IN端子32には、入力電圧 V_{in} （例えば、50V）が供給され、IN端子32とグランド間には、平滑用コンデンサC1とノイズカット用のコンデンサC2とが並列に外付けされている。また、入力電圧 V_{in} をMOSTランジスタ41でスイッチングしたパルス電圧 V_{pls} が出力されるSW端子33には、平滑回路37が外付けされている。この平滑回路37は、コイルL1と、ダイオード（例えば、ショットキーバリアダイオード）D1と、平滑用のコンデンサ（例えば、電解コンデンサ）C4とから構成され、SW端子33にダイオードD1のカソードとコイルL1の一端とが接続され、コイルL1の他端は平滑用コンデンサC4の一端に接続され、平滑用コンデンサC4の他端とダイオードD1のアノードはグランドに接続されている。

[0039] また、コイルL1の他端は分圧抵抗R1、R2の直列回路を介してグランドに接続され

、分圧抵抗R1、R2の接続ノードはINV端子34に接続されている。INV端子34はレギュレータIC31内部で誤差増幅器52の反転入力端子(−)に接続されている。そして、誤差増幅器52の非反転入力端子(+)は基準電圧源51に接続され、誤差増幅器52の出力端子はPWMコンパレータ53の反転入力端子(−)とFB端子35とに接続されている。更に、FB端子35とINV端子34との間には、コンデンサC3と抵抗R3の直列回路から成る遅れ位相補償回路38が外付けされている。

[0040] また、PWMコンパレータ53の非反転入力端子(+)は発振回路54の出力端子に接続され、PWMコンパレータ53の出力端子は駆動回路42の入力端子に接続されている。そして、駆動回路42の出力端子はMOSTランジスタ41のゲートに接続され、MOSTランジスタ41のソースはIN端子32に接続され、ドレインはSW端子33に接続されている。また、GND端子36がグランドに接続されて、レギュレータIC31の基準電位が定められている。尚、IC31の各部は入力電圧 V_{in} から生成された入力電圧 V_{in} よりも低い直流電圧(例えば、5V)を動作電源としている。また、制御部50の耐圧は、例えば、7Vに設定されている。

[0041] 次に、スイッチング電源装置30の各部の動作について以下に説明する。入力電圧 V_{in} は、MOSTランジスタ41のスイッチング動作によりパルス電圧 V_{pls} に変換される。MOSTランジスタ41がオン状態のときは、IN端子32からMOSTランジスタ41を介してコイルL1へ電流が流れる。これにより、コイルL1にエネルギーが蓄えられるとともに、平滑用コンデンサC4が充電される。一方、MOSTランジスタ41がオフ状態のときは、コイルL1に蓄えられたエネルギーがダイオードD1により環流させられて平滑用コンデンサC4が充電される。そして、平滑用コンデンサC4から出力される電圧が出力電圧 V_o として外部に供給される。

[0042] また、出力電圧 V_o が分圧抵抗R1、R2により分圧された帰還電圧 V_{adj} が、INV端子34を介して誤差増幅器52の反転入力端子(−)に入力される。そして、誤差増幅器52は、非反転入力端子(+)に入力される基準電圧 V_{ref} (例えば、2V)と反転入力端子(−)に入力される帰還電圧 V_{adj} との電圧差に基づく誤差信号を出力する。尚、この基準電圧 V_{ref} は、所定の出力電圧 V_o を分圧抵抗R1、R2で分圧した帰還電圧 V_{adj} に設定される。

- [0043] 誤差増幅器52から出力される誤差信号は、PWMコンパレータ53の反転入力端子(−)に入力される。また、PWMコンパレータ53の非反転入力端子(+)には、発振回路54から所定の周波数の三角波が与えられる。そして、このPWMコンパレータ53は、反転入力端子(−)電圧と非反転入力端子(+)電圧とを比較し、非反転入力端子(+)電圧が反転入力端子(−)電圧より高くなればH(High)レベル、反転入力端子(−)電圧が非反転入力端子(+)電圧より高くなればL(Low)レベルにしたPWM信号を駆動回路42に出力する。
- [0044] 駆動回路42は、PWMコンパレータ53からのPWM信号をバッファリングした出力信号をMOSトランジスタ41のゲートに出力し、MOSトランジスタ41を駆動する。即ち、PWM信号がHレベルのときはMOSトランジスタ41をオフさせ、LレベルのときはMOSトランジスタ41をオンさせる。従って、駆動回路42の出力信号は、発振回路54の発振周波数と同一周波数のパルス信号となり、そのデューティは誤差増幅器52からの誤差信号に基づいて決定される。即ち、出力電圧 V_o が所定の電圧より上昇しようとする、PWM信号がHレベルとなる時間、即ち、MOSトランジスタ41がオフとなる時間が長くなり、逆に、出力電圧 V_o が所定の電圧より下降しようとする、PWM信号がLレベルとなる時間、即ち、MOSトランジスタ41がオンとなる時間が長くなるように制御される。
- [0045] また、スイッチング電源装置30の小型化、軽量化を図るために、発振回路54の発振周波数を高く設定してスイッチング周波数を高くする場合、制御部50内の各制御素子等を周波数特性の良いものにする必要があるが、誤差増幅器52を周波数特性の良いものにする、回路の発振の問題が生じることがある。そこで、FB端子35とINV端子34との間にコンデンサC3と抵抗R3との直列回路から成る遅れ位相補償回路38を外付けすることにより、誤差増幅器52を周波数特性の良いものにして、スイッチング周波数を高く設定した場合であっても、回路の発振を防止することができる。
- [0046] このようにして、帰還電圧 V_{adj} と基準電圧 V_{ref} とが一致するようにフィードバック動作が行われてPWM信号のデューティが調整されるので、通常、出力電圧 V_o は所定の電圧に安定的に維持される。また、この回路でINV端子34を、パルス電圧 V_{pls} が出力されるSW端子33の隣に配置するようにすれば、このようなスイッチング電源装

置30において、上述した従来例と同様の原因でSW端子33とINV端子34との間が異物やハンダブリッジ等の導電体80により略短絡状態になる可能性がある。しかし、その場合は、INV端子34にはパルス電圧 V_{pls} が印加されることになり、上述のフィードバック動作によって、INV端子34の電圧、即ち、誤差増幅器52の反転入力端子(−)の電圧と基準電圧 V_{ref} とが一致するようにMOSTランジスタ41のデューティが即座に調整されるので、INV端子34に印加されるパルス電圧 V_{pls} は下降して、基準電圧 V_{ref} を超える電圧になることはない。

[0047] 従って、このような短絡事故が発生した場合であっても制御部50が電圧破壊されることはない。また、このような場合でも、導電体80や短絡経路の素子や配線等に大きな電流が流れることはないので、それらの発熱によりIC31を実装する基板等が発煙、発火したり、無駄な消費電力が発生したりすることもない。

[0048] このように、SW端子33に隣接する位置にINV端子34を配置することにより、SW端子33が隣接するINV端子と略短絡状態になった場合であっても、その隣接するINV端子に接続されている制御部50の耐圧を上げることなく、また、INV端子に電圧クランプ素子等を取り付けて過電圧保護を図ることなく、制御部50を含むレギュレータIC31が電圧破壊されることを防止でき、レギュレータIC31及びスイッチング電源装置30の信頼性を向上させることができる。

[0049] 図3は、本発明の第3実施形態のICの構成を概略的に示す回路ブロック図である。図3において、10はICであり、IC10はIC10の各部の動作電源としての直流電源 V_{dd} (電圧は、例えば、5V)に接続されている電源端子39と、直流電源 V_{dd} の電圧よりも高い電圧の別の直流電源 V_{pp} (電圧は、例えば、50V)に接続されている電源端子11と、外部出力配線12aを通じて電圧 V_{out} が出力される電圧出力端子12と、外部入力配線13aを通じて制御信号 S_1 が与えられる信号入力端子13と、電源端子11と電圧出力端子12との間に設けられている出力部14と、制御信号 S_1 に基づいてIC10の機能を実現するための所定の制御を行うとともに駆動回路16を制御する制御部17と、電圧検出部22とから構成されている。尚、電圧出力端子12と信号入力端子13とがIC10のパッケージの外周部において、互いに隣接するように配置されているか、出力配線12aと入力配線13aとが途中で隣接するように配置されている。また、

制御部17の耐圧は、例えば、7Vに設定されている。

- [0050] 出力部14は、Pチャンネル型のMOSTランジスタ15と、MOSTランジスタ15を駆動するための駆動信号を生成する駆動回路16と、NANDゲート21とから構成されている。MOSTランジスタ15のドレインは電源端子11に接続され、ソースは電圧出力端子12に接続され、ゲートはNANDゲート21の出力端子に接続されている。そして、NANDゲート21の一方の入力端子は駆動回路16に接続され、他方の入力端子は電圧検出部22のコンパレータ18の出力端子に接続されている。
- [0051] また、電圧検出部22は、コンパレータ18と基準電圧源19とを備えており、コンパレータ18の反転入力端子(−)は信号入力端子13に接続され、非反転入力端子(+)は基準電圧源19に接続されている。そして、コンパレータ18の出力端子はNANDゲート21の前記他方の入力端子に接続されている。コンパレータ18は、反転入力端子(−)に与えられる信号入力端子13の電圧 V_{sig} と非反転入力端子(+)に与えられている基準電圧 V_{ref} (例えば、2V)とを比較し、電圧 V_{sig} が基準電圧 V_{ref} より高い場合は出力をLレベルにし、電圧 V_{sig} が基準電圧 V_{ref} より低い場合は出力をHレベルとする。そして、電圧 V_{sig} が基準電圧 V_{ref} より高い場合のLレベルの出力が電圧検出信号としてNANDゲート21に与えられる。
- [0052] そして、NANDゲート21はコンパレータ18の出力と駆動回路16からの駆動信号との論理積をとり、それを内部で反転した出力信号をMOSTランジスタ15のゲートに出力してMOSTランジスタ15を駆動する。即ち、NANDゲート21は、コンパレータ18の出力がHレベルの場合は駆動回路16からの駆動信号の電圧レベルに応じた出力信号を出力してMOSTランジスタ15をオン／オフする。一方、NANDゲート21は、コンパレータ18の出力がLレベルの場合は駆動回路16からの駆動信号の電圧レベルに拘わらず、Hレベルの信号を出力してMOSTランジスタ15をオフさせる。このとき、電圧出力端子12から出力される電圧 V_{out} は、MOSTランジスタ15がオンしているときは直流電源 V_{pp} の電圧と略同等の電圧(約50V)となり、MOSTランジスタ15がオフしているときは0Vとなる。
- [0053] このような構成のIC10は、通常は、制御部17の出力に従って、MOSTランジスタ15をオン／オフさせるように動作する。一方、上述した従来例と同様に電圧出力端子

12と信号入力端子13との間が異物やハンダブリッジ等の導電体80により略短絡状態になった場合、または、出力配線12aと入力配線13aとが途中で略短絡状態になった場合は、信号入力端子13を介して制御部17に電圧 V_{out} が印加されることになる。この時、信号入力端子13の電圧 V_{sig} 、即ち、コンパレータ18の反転入力端子(－)電圧が基準電圧 V_{ref} より高くなると、コンパレータ18の出力はLレベルとなりMOSTランジスタ15をオフさせるので、信号入力端子13に印加される電圧 V_{out} が基準電圧 V_{ref} を超える電圧になることはない。

[0054] このようにすることにより、制御部17の耐圧を上げる必要がない。また、信号入力端子13に電圧クランプ素子等を取り付けて過電圧保護を図る必要もない。そして、制御部17の耐圧を超える電圧が出力される電圧出力端子12が、隣接する信号入力端子13と略短絡状態になった場合であっても、制御部17が電圧破壊されることを防止でき、IC10の信頼性を向上させることができる。また、このような場合でも、導電体80や短絡経路の素子や配線等に大きな電流が流れることはないので、それらの発熱によりIC10を実装する基板等が発煙、発火したり、無駄な消費電力が発生したりすることもない。

[0055] また、図3に示す電圧検出部22は、図4に示すような回路で実現することができる。図4は、電圧検出部22の具体的回路の一例を示す回路図である。図4において、図3と同一の部分には同一の符号を付し、その説明を省略する。図4に示す電圧検出部22は、ダイオードD11、D12と、カレントミラー回路23と、内部制御電源 V_{cc} と、抵抗R11とから構成されている。

[0056] カレントミラー回路23は、互いのベースが接続されるとともに、互いのエミッタがともにグランドに接続された一対のNPNTランジスタQ1、Q2から成っており、NPNTランジスタQ1のコレクタはそのベースに接続されるとともにダイオードD12のカソードに接続され、ダイオードD12のアノードはダイオードD11のカソードに、ダイオードD11のアノードは信号入力端子13に接続されている。

[0057] また、NPNTランジスタQ2のコレクタは抵抗R11を介して内部制御電源 V_{cc} に接続され、抵抗R11とNPNTランジスタQ2との接続ノード、即ち、NPNTランジスタQ2のコレクタの電圧がNANDゲート21の入力端子に与えられる。尚、内部制御電源 V_{cc}

は論理ゲートを駆動するレベルの電圧を与える直流電源である。

[0058] 次に、このような構成の電圧検出部22の動作を説明する。信号入力端子13の電圧VsigがダイオードD11、D12の順方向電圧とNPNTランジスタQ1のベース-エミッタ間電圧とを加算した電圧(例えば、2V)よりも高くなると、NPNTランジスタQ1がオンしNPNTランジスタQ1には所定のコレクタ電流が流れる。そして、このコレクタ電流はNPNTランジスタQ2にミラーされて、NPNTランジスタQ2にも同量のコレクタ電流が流れる。このとき、NPNTランジスタQ2のコレクタの電圧はグラウンドレベル、即ち、Lレベルの電圧となる。

[0059] 一方、電圧VsigがダイオードD11、D12の順方向電圧とNPNTランジスタQ1のベース-エミッタ間電圧とを加算した電圧よりも低い場合は、NPNTランジスタQ1はオフとなり、NPNTランジスタQ2もオフとなる。このとき、NPNTランジスタQ2のコレクタの電圧は内部制御電源Vccの電圧、即ち、Hレベルの電圧となる。

[0060] このようにして、信号入力端子13の電圧Vsigに応じてNPNTランジスタQ2のコレクタの電圧を変化させることができ、この電圧を電圧検出信号とすることにより、簡単な構成で信号入力端子13の電圧Vsigが基準電圧(本例では、2V)より高くなったことを検出することができる。

[0061] 図5は、本発明の第4実施形態のICの構成を概略的に示す回路ブロック図である。図5において、60はICであり、IC60は、IC60の各部の動作電源としての直流電源Vdd(電圧は、例えば、5V)に接続されている電源端子59と、直流電源Vddの電圧よりも高い電圧の別の直流電源Vpp(電圧は、例えば、50V)に接続されている電源端子61と、外部出力配線62aを通じて電圧Voutが出力される電圧出力端子62と、電源端子61と電圧出力端子62との間に設けられている出力部64と、外部のマイコン72からの出力制御信号S2が与えられる出力制御端子70とを備えている。

[0062] 出力部64は、Pチャンネル型のMOSTランジスタ65と、MOSTランジスタ65を駆動する駆動回路66とから構成され、MOSTランジスタ65のドレインは電源端子61に接続され、ソースは電圧出力端子62に接続され、ゲートは駆動回路66の出力端子に接続されている。そして、駆動回路66の入力端子は出力制御端子70に接続されている。

- [0063] そして、駆動回路66は出力制御端子70を介して与えられるマイコン72からの出力制御信号S2をバッファリングしてMOSTランジスタ65のゲートに出力し、MOSTランジスタ65を駆動する。即ち、出力制御信号S2がHレベルの場合はMOSTランジスタ65をオフさせ、Lレベルの場合はオンさせる。このとき、電圧出力端子62から出力される電圧Voutは、MOSTランジスタ65がオンしているときは直流電源Vppの電圧と略同等の電圧(約50V)となり、MOSTランジスタ65がオフしているときは0Vとなる。
- [0064] また、IC60は、外部入力配線63aを通じてリセット入力信号S3が与えられるリセット入力端子63と、リセット入力信号S3を受けてリセット出力信号S4を生成するとともに信号入力端子73を介して与えられる制御信号S6に基づいて駆動回路66を制御する制御部67と、リセット出力信号S4をマイコン72に出力するリセット出力端子71とを備えている。尚、リセット入力端子63は、IC60のパッケージの外周部で電圧出力端子62と隣接するように配置するか、出力配線62aと入力配線63aとが途中で隣接するように配置する。また、制御部67の耐圧は、例えば、7Vに設定されている。
- [0065] 制御部67は、信号入力端子73に接続された内部制御回路74を備え、内部制御回路74は制御信号S6に応じて駆動回路66にHレベル/Lレベルの信号を与えることによりMOSTランジスタ65をオン/オフ制御している。また、制御部67は、コンパレータ68と基準電圧源69とを備えており、コンパレータ68の非反転入力端子(+)はリセット入力端子63に接続され、反転入力端子(-)は基準電圧源69に接続されている。そして、コンパレータ68の出力端子はリセット出力端子71に接続されている。このコンパレータ68は、非反転入力端子(+)に与えられるリセット入力信号S3の電圧Vresと反転入力端子(-)に与えられている基準電圧Vref(例えば、2V)とを比較し、電圧Vresが基準電圧Vrefより高い場合は出力をHレベルにし、電圧Vresが基準電圧Vrefより低い場合は出力をLレベルにする。
- [0066] そして、リセット入力信号S3の電圧Vresが基準電圧Vrefより高い場合に、コンパレータ68のHレベルの出力がリセット出力信号S4としてリセット出力端子71を介してマイコン72に与えられ、リセット出力信号S4が与えられたマイコン72はリセット動作を行い、出力制御信号S2の出力動作を停止する。このようにリセット入力信号S3の電圧をコンパレータ68で確認してマイコン72をリセットすることにより、リセット入力端子63

にノイズ等の電圧が印加された場合に誤ってマイコン72をリセットすることを防止している。また、リセット入力端子63を電圧出力端子62に隣接させることにより、誤って、電圧出力端子62の電圧が隣接する端子とショートした時に、積極的にマイコン72をリセットさせるとともに、マイコン72はMOSTランジスタ65をオフさせることにより、異常状態の継続を防止することができる。

[0067] 即ち、このような構成をしているので、上述した従来例と同様に電圧出力端子62とリセット入力端子63との間が異物やハンダブリッジ等の導電体80により略短絡状態になった場合、または、出力配線62aと入力配線63aとが途中で略短絡状態になった場合、リセット入力端子63を介して制御部67に電圧Voutが印加されると同時に、リセット入力端子63の電圧、即ち、コンパレータ68の非反転入力端子(+)電圧が基準電圧Vrefより高くなる。そうすると、コンパレータ68の出力はHレベルとなりマイコン72がリセットされる。そして、出力制御信号S2が出力されなくなり、MOSTランジスタ65がオフになるので、リセット入力端子63に印加される電圧Voutが基準電圧Vrefを超える電圧になることはない。

[0068] 従って、このような短絡事故が発生した場合であっても制御部67が電圧破壊されることはない。また、このような場合でも、導電体80や短絡経路の素子や配線等に大きな電流が流れることはないので、それらの発熱によりIC60を実装する基板等が発煙、発火したり、無駄な消費電力が発生したりすることもない。

[0069] このように、電圧出力端子62に隣接する位置にリセット入力端子63を配置することにより、電圧出力端子62が隣接する端子と略短絡状態になった場合であっても、その隣接する端子に接続されている制御部67の耐圧を上げる必要がない。また、その隣接する端子に電圧クランプ素子等を取り付けて過電圧保護を図る必要もない。そして、制御部67を含むIC60が電圧破壊されることを防止でき、IC60の信頼性を向上させることができる。

[0070] 尚、本発明は上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において各部の構成等を適宜に変更して実施することも可能である。例えば、上述の各実施形態では、直流電源からの電圧をオン／オフするスイッチ素子としてPチャンネル型のMOSTランジスタを使用した例を示したが、Nチャンネル型のM

OSトランジスタやバイポーラ型トランジスタで構成することも可能である。また、出力MOSTトランジスタがIC内にある場合のみを説明したが、単体の出力MOSTトランジスタであってもよい。そして、その出力端子に、出力トランジスタの制御入力につながって出力MOSTトランジスタをオフさせるような入力信号がつながる入力端子を隣接させるようにしても良い。また、比較器にヒステリシス特性を設けたり、ロジック回路的に動作させて、一旦、出力トランジスタをオフすると電源が再投入されるまで、出力トランジスタをオンできないようにしても良い。

産業上の利用可能性

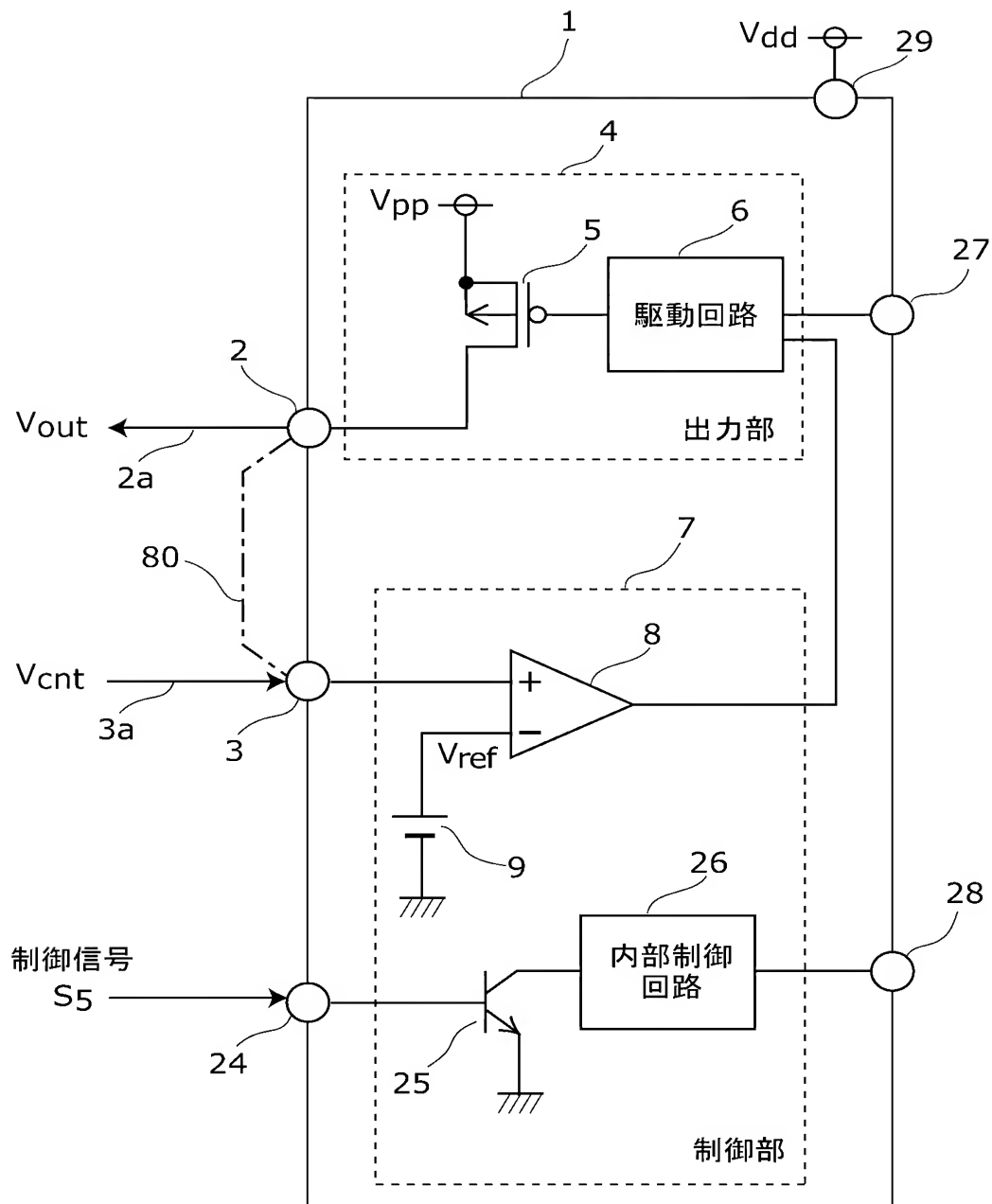
[0071] 以上説明したように、本発明によれば、電圧出力端子を介して所定の電圧を出力する半導体集積回路装置及びそれを用いたスイッチング電源装置において、前記電圧出力端子が制御部に接続された隣接する端子と外部で略短絡状態になった場合であっても、前記制御部に基準電圧よりも高い電圧が印加されないようにして前記制御部が電圧破壊されることを防止できるので、半導体集積回路装置及びそれを用いたスイッチング電源装置のコストを増大させることなく信頼性を向上させることができる。このような信頼性を向上させた半導体集積回路装置及びそれを用いたスイッチング電源装置は、特に、高い信頼性が要求される自動車の車載用電子機器への利用が有効である。

請求の範囲

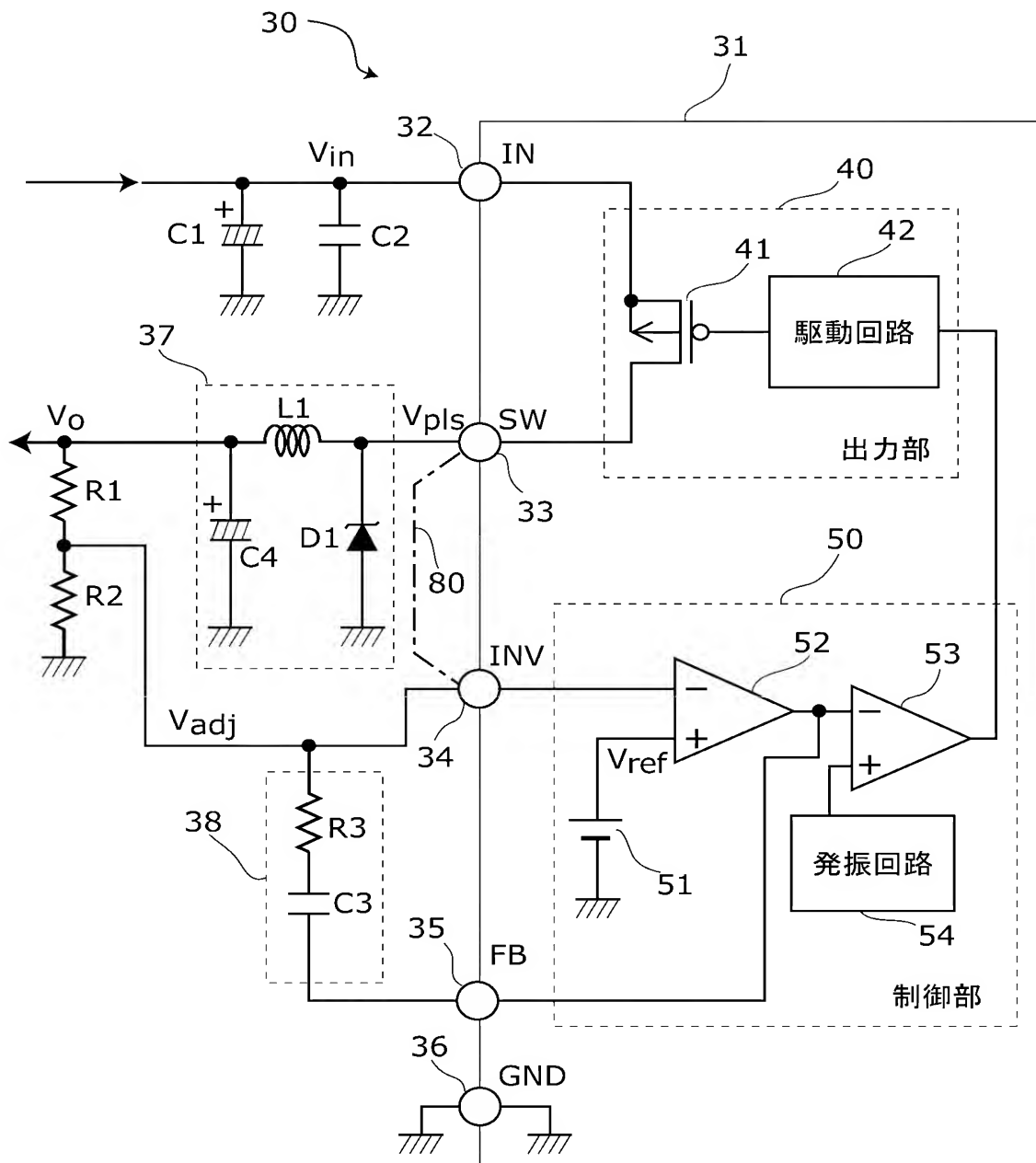
- [1] 第1の電源電圧で動作する入力回路に外部よりつながる入力配線と、該入力配線に隣接するとともに前記第1の電源電圧よりも高い第2の電源電圧で動作するスイッチ素子の出力につながって外部に導出される出力配線とを有する半導体集積回路装置において、
- 前記入力配線に基準電圧よりも高い電圧が入力されたことを検出して、前記入力配線に隣接する前記出力配線につながる前記スイッチ素子の出力を禁止するようにしたことを特徴とする半導体集積回路装置。
- [2] スwitch素子を介して所定の電圧を電圧出力端子から外部へ出力する出力部と、電圧入力端子に外部から入力される電圧が基準電圧よりも高いときには前記スイッチ素子を開放するように制御可能な制御部とを備える半導体集積回路装置において、
- 前記電圧入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とする半導体集積回路装置。
- [3] 直流電圧をスイッチ素子でスイッチングしたパルス電圧を電圧出力端子から外部の平滑回路へ出力する出力部と、電圧入力端子に外部から入力される前記平滑回路の出力電圧に基づく帰還電圧と基準電圧とが一致するように前記スイッチ素子を制御する制御部とを備える半導体集積回路装置において、
- 前記電圧入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とする半導体集積回路装置。
- [4] スwitch素子を介して所定の電圧を電圧出力端子から電圧出力線を通じて外部へ出力する出力部と、前記電圧出力線または前記電圧出力端子に隣接した位置に配置された信号入力線または信号入力端子に外部から入力される制御信号に基づいて所定の制御を行う制御部とを備える半導体集積回路装置において、
- 前記信号入力線または前記信号入力端子に基準電圧よりも高い電圧が入力されたことを検出し電圧検出信号として前記出力部に与える電圧検出部を設け、前記出力部は前記電圧検出信号が与えられたときには前記スイッチ素子を開放することを特徴とする半導体集積回路装置。

- [5] 前記出力部は、前記スイッチ素子を駆動するための駆動信号を生成する駆動回路と、
前記駆動信号と前記電圧検出信号との論理積をとってその出力を前記スイッチ素子の制御端子に与える論理ゲートと、
を備えることを特徴とする請求項4に記載の半導体集積回路装置。
- [6] 前記電圧検出部は、前記信号入力端子の電圧が前記基準電圧よりも高いときに通電する第1のトランジスタと、
第1のトランジスタとともにカレントミラー回路を構成する第2のトランジスタとを備え、
第2のトランジスタをプルアップしている抵抗と第2のトランジスタとの接続ノードから前記電圧検出信号を出力することを特徴とする請求項4に記載の半導体集積回路装置。
- [7] 前記電圧検出部は、更に、前記信号入力端子と前記第1のトランジスタとの間の電流経路にダイオードを備え、
該ダイオードの順方向電圧と前記第1のトランジスタのベース－エミッタ間電圧との加算値が、前記基準電圧に相当することを特徴とする請求項6に記載の半導体集積回路装置。
- [8] 外部制御装置から与えられる出力制御信号に基づいて閉成／開放されるスイッチ素子を介して所定の電圧を電圧出力端子から装置外部へ出力する出力部と、外部からリセット入力信号が入力されるリセット入力端子と、前記リセット入力信号の電圧が基準電圧よりも高いときに前記外部制御装置の前記出力制御信号の出力動作を停止させるリセット出力信号を前記外部制御装置に与える制御部とを備える半導体集積回路装置において、
前記リセット入力端子を前記電圧出力端子に隣接した位置に配置したことを特徴とする半導体集積回路装置。
- [9] 前記スイッチ素子の素子耐圧は、前記制御部の素子耐圧よりも高いことを特徴とする請求項1－請求項8のいずれかに記載の半導体集積回路装置。
- [10] 請求項3に記載の半導体集積回路装置を用いたことを特徴とするスイッチング電源装置。

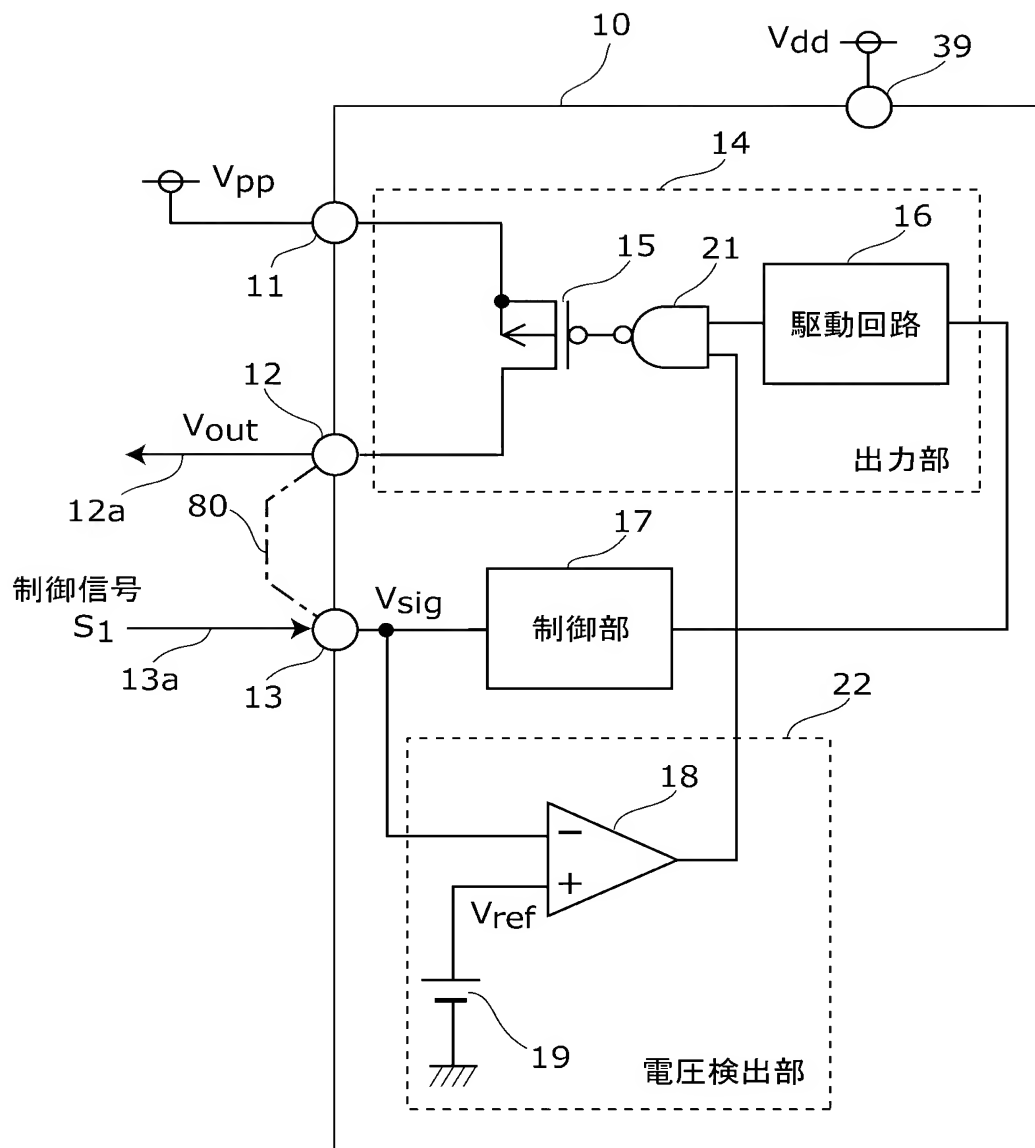
[図1]



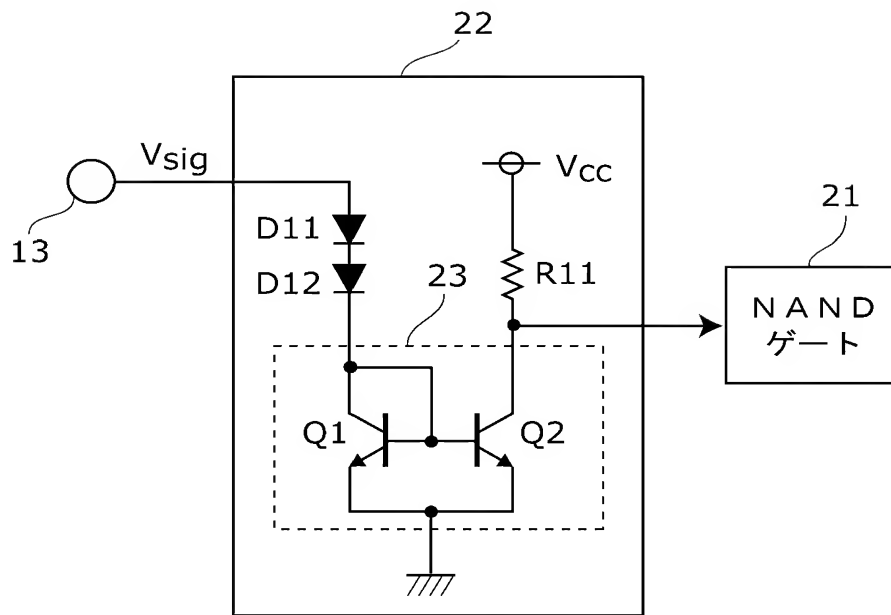
[図2]



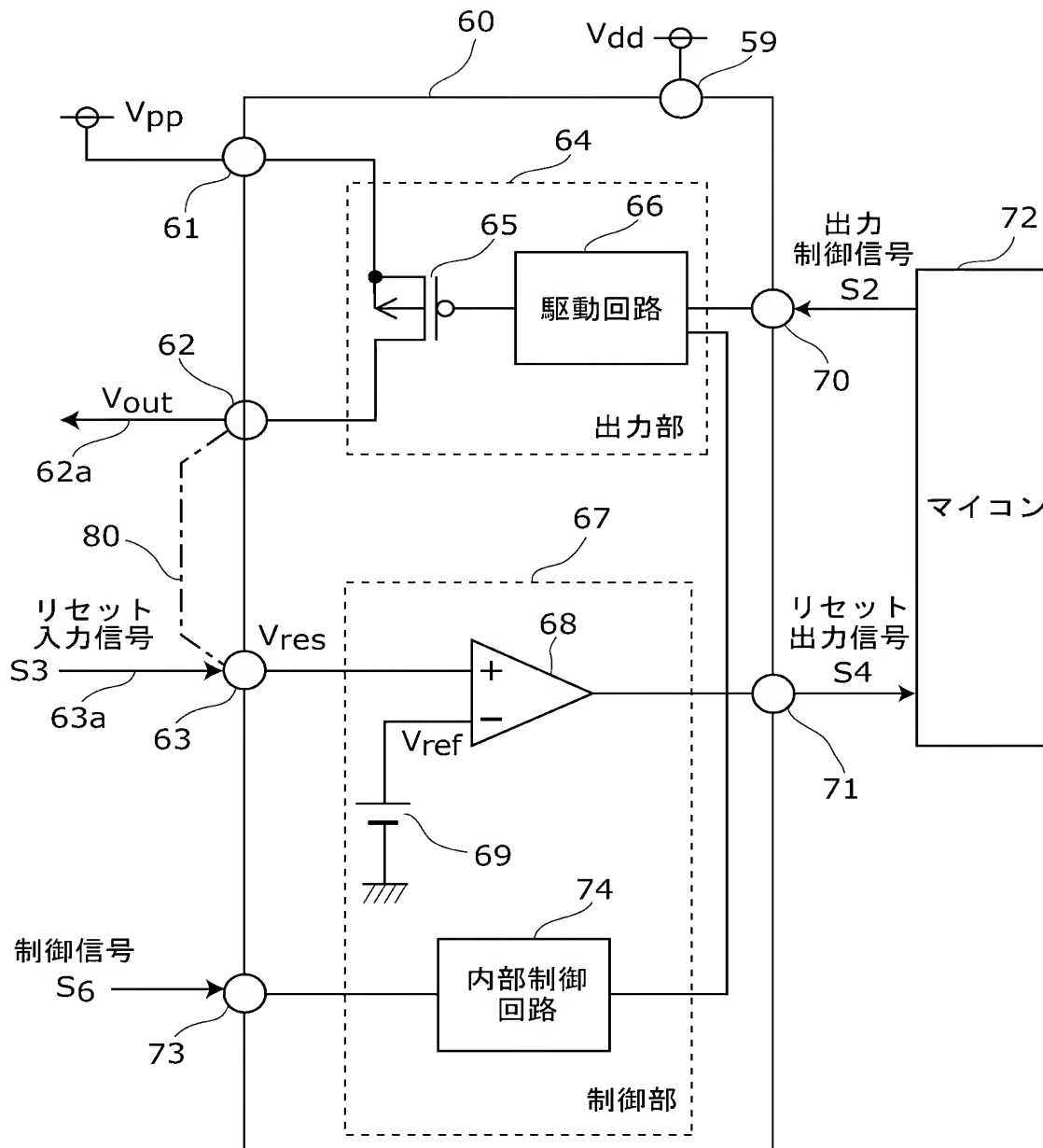
[図3]



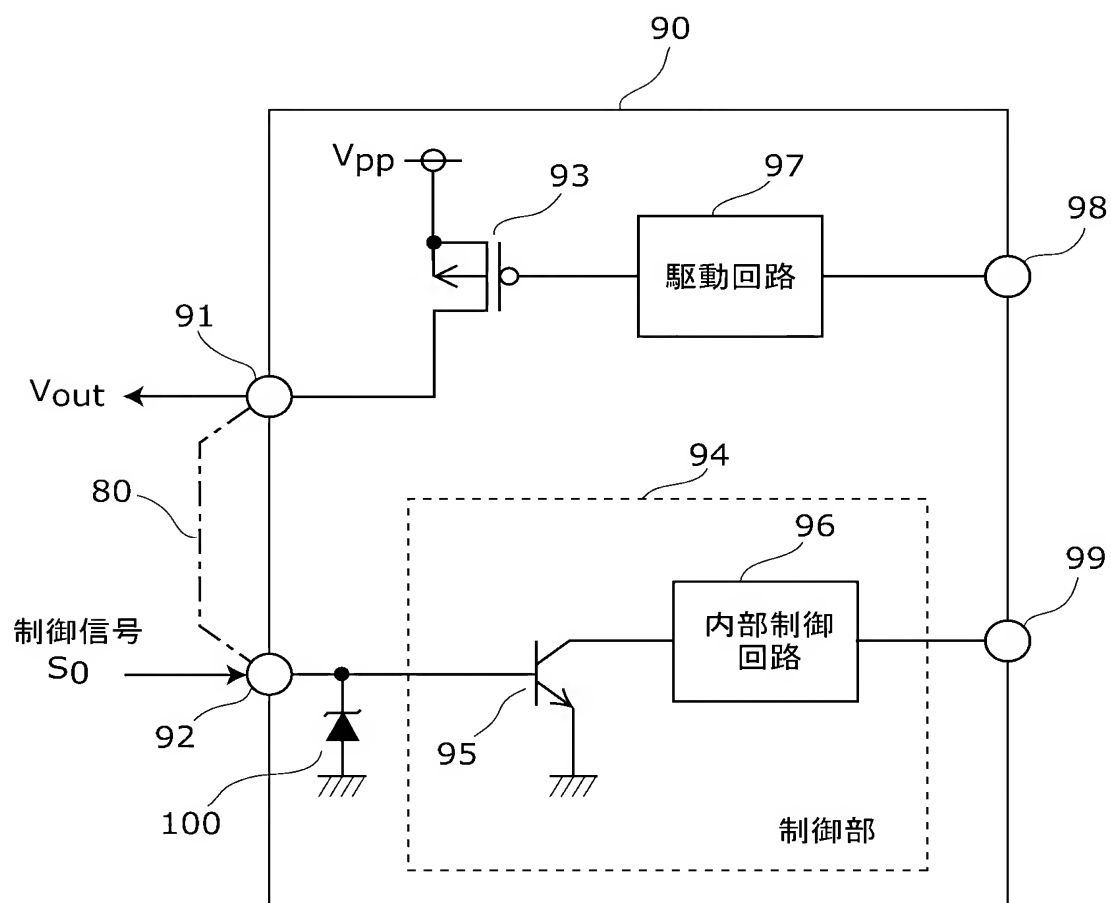
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004446

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/822, G05F1/10, H01L27/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/822, G05F1/10, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-270469 A (New Japan Radio Co., Ltd.), 29 September, 2000 (29.09.00), Par. Nos. [0013] to [0027]; Fig. 1 (Family: none)	2, 9
A	JP 4-123466 A (Hitachi, Ltd.), 23 April, 1992 (23.04.92), Full text; all drawings (Family: none)	1-10
A	JP 62-156849 A (Canon Inc.), 11 July, 1987 (11.07.87), Full text; all drawings (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 May, 2005 (13.05.05)

Date of mailing of the international search report
31 May, 2005 (31.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/822, G05F1/10, H01L27/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/822, G05F1/10, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2000-270469 A (新日本無線株式会社) 2000.09.29, 段落番号【0013】-【0027】, 第1図 (ファミリーなし)	2, 9
A	J P 4-123466 A (株式会社日立製作所) 1992.04.23, 全文, 全図 (ファミリーなし)	1-10
A	J P 62-156849 A (キヤノン株式会社) 1987.07.11, 全文, 全図 (ファミリーなし)	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.05.2005

国際調査報告の発送日

31.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

淵 真悟

電話番号 03-3581-1101 内線 3498

4 L

2933